

SEMICONDUCTOR DEVICE

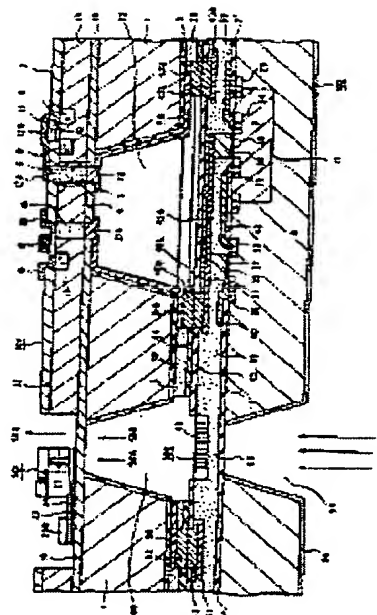
Patent number: JP2299259
Publication date: 1990-12-11
Inventor: KOMIYA YOSHIO
Applicant: NISSAN MOTOR
Classification:
- international: **G02B6/122; G02B6/12; H01L27/00; H01L27/15; H01S5/00; H04B10/02; H04B10/28; G02B6/122; G02B6/12; H01L27/00; H01L27/15; H01S5/00; H04B10/02; H04B10/28; (IPC1-7): G02B6/12; H01L27/00; H01L27/15; H01S3/18; H04B10/02**
- european:
Application number: JP19890118810 19890515
Priority number(s): JP19890118810 19890515

Report a data error here

Abstract of JP2299259

PURPOSE: To easily constitute an optoelectric IC (O-E IC) of three dimensional structure by a method wherein a semiconductor device and an optical component both formed on a semiconductor layer are made to operate together enabling their functions to correlate organically with each other.

CONSTITUTION: A recess 22 is provided onto the surface of a board 101 which includes a semiconductor layer which constitutes a three dimensional device, wiring regions 7A and 21A are provided even to the base of the recess 22, a signal can be transmitted between the primary side and the rear side of the board 101 which includes the semiconductor layer through the intermediary of signal transmitting means 6 and 16 located on the base of the recess 22, and prescribed parts of an upper and a lower board, 101 and 102, are electrically connected. An micro-optical component 502 provided, at least, onto the board 102 and a semiconductor device 501 provided at a position on the other board 101 corresponding to the position where the optical component 502 is provided are so constituted that they operate as being optically coupled. By this setup, various types of components can be three-dimensionally constituted in lamination, so that optoelectric system can be easily constituted into an IC.



Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-299259

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月11日

H 01 L 27/00
G 02 B 6/12
H 01 L 27/15
H 01 S 3/18
H 04 B 10/02

3 0 1 C
B

7514-5F
7036-2H
7733-5F
7377-5F

8523-5K H 04 B 9/00

W

審査請求 未請求 請求項の数 1 (全20頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-118810

⑰ 出 願 平1(1989)5月15日

⑱ 発 明 者 小 宮 祥 男 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑲ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑳ 代 理 人 弁理士 中村 純之助

明 細 書

1. 発明の名称 半導体装置

2. 特許請求の範囲

板状の基板を少くとも2層以上つみかさねて結合されて構成される3次元デバイスにおいて、1つの層を形成する基板上の一部に微小な光学部品が形成され、他の層を形成する基板の少くとも一部に半導体デバイスが形成され、かつ、少なくとも1つの基板の裏面には少なくとも1つの凹部が形成され、該凹部の底面すなわち基板の薄い部分を貫通して設けられたオーミック部材若しくは能動素子を介して基板の主表面と裏面とを電気的に接続する接続手段が設けられ、該接続手段を介して上部の基板と下部の基板との所定部分が電気的に接続され、また、上記の少なくとも1つの基板に設けられた微小光学部品と他の基板の対応する位置に設けられた半導体デバイスとが光学的に結合されて動作するように構成したことを特徴とする光学-電気動作を一部に有する3次元集積化さ

れた半導体装置。

3. 発明の詳細な説明

〔発明の利用分野〕

この発明は、半導体層を含む基板を少くとも1つ含んだ複数の板状の基板を積層し、所望の部分で接合した3次元デバイスに関するものであり、特に、少くとも1つの基板には微小光学部品が備えられ、上記半導体層に形成された半導体デバイスの機能と上記光学部品の機能とを有機的に関連させることによって動作させることを特徴とする光学-電気機能(opto-electronics)を備えた3次元デバイスによる集積化された半導体装置に関する。

〔従来技術〕

従来の3次元デバイスとしては、例えば「“日経マイクロデバイス”1985年7月号第175頁」に記載されているようなものがある。

上記の従来例においては、半導体層を含む基板を積層して形成する3次元デバイス構成において、構成する板状の基板の一方の主表面から裏側のも

う一方の基板へ送る信号の伝送方法において良い方法が提案されていなかった。

また、半導体基板の主表面と裏面とをA₁B₁ドーパントによるPN接合によって貫通させる方法としては、「“アイイーイーイー コンピュータ” (Jan. Grinberg他“IEEE Computer”, 1984 Jan. p69,)」に記載されているものがある。

更に、光学-電気機能を一部にもつ光学-電気集積回路（以下、O-E・ICと略記する）としては、例えば「“日経マイクロデバイス” 1985年7月号211頁に記載されているものがある。

このO-E・ICは、微小光学部品と半導体デバイスとを単一の基板に形成して、その機能を動作させるという構成のものであった。

〔発明が解決しようとする課題〕

しかしながら、上記のような従来の3次元デバイスにおいては、例えば基板主表面から裏面への信号の伝達をPN接合の貫通で行うものにおいては、接合による分布容量やp⁺部分の上下抵抗値

つの基板に集積しても機能の有効な集積効果が得られるというものではない。そのため従来の装置においては、単一基板上に形成したO-E・ICの機能も十分に満足できる技術水準には到達していない等の多くの問題点があった。

本発明は上記のごとき従来技術の問題を解決することを目的とするものである。

〔課題を解決するための手段〕

上記の目的を達成するため、本発明においては、特許請求の範囲に記載するように構成している。

すなわち、本発明においては、板状の基板を少くとも2層以上つみかさねて結合されて構成される3次元デバイスにおいて、該3次元デバイスを構成する1つの基板が半導体層を含む基板の場合は、この半導体層を含む基板の1つの面に凹部が形成され、該凹部の底面にまで配線領域が設けられ、また、凹部の斜面にも絶縁された状態で配線領域が結合されており、凹部と共通する基板上の一方の主表面にある配線領域と結合される。凹部の底面と反対側の基板の主表面部には配線領域が

の制御が困難であるという問題があった。また、マイクロブリッジ部分も相互に融着していないので、2つの基板を結合する機械的構造の安定性において要求を十分に満たすことが困難であった。また、他の部分との電氣的アイソレーションも理想でない、等の種々の問題点があった。

更に、従来のO-E・ICにあっては、単一の基板に微小光学部品と半導体デバイスとが形成されていたために、O-E・ICとして十分な機能を達成することが困難であった。また、構造的にも、発光動作をもつ化合物半導体デバイス（半導体レーザ、発光ダイオード等）、受光動作をうけもつSiなどの半導体デバイス、微小レンズやフィルターなどの受動光学部品をもつ基板、および光束を偏光したり方向を変える光束制御デバイス等を1つの基板の中に集積することは製造技術上非常に困難である。

また、元来光束の動作を制御するデバイスは、電子デバイスに比べて著しい空間位置依存性をもつため、単にO-E・ICに必要な微小部品を1

あり、前記の凹部の薄くなっている部分に信号を伝達する手段がある。この信号を伝達する手段は半導体層に形成される3端子以上の能動デバイス（絶縁ゲートデバイス、バイポーラデバイスなど）でもよく、または2端子の低抵抗部材や極低抵抗配線部材であってもよい。さらに、半導体層などで形成された非線形2端子デバイス（各種ダイオード、PNPN素子等）でもよい。上記のように構成したことにより、半導体層を含む基板の主表面と裏面側とが凹部の底面部にある信号伝達手段を介して信号伝達が可能となる。この信号伝達手段を利用すれば、複数個の基板を接合、結合して形成される3次元デバイスの積層基板の垂直方向の信号の伝達が従来技術に比べて容易になる。これらはこの3次元集積回路デバイスの信号処理の同時平行処理や情報処理量の大幅な増大をもたらす。

また、本発明においては、3次元デバイスを構成する積層基板のうち、いくつかの基板が半導体層を含まない場合もありうる。このような場合で

も基板と垂直な方向の電気信号の伝達は多くの場合、必要になる。この基板はガラス基板や石英基板であってもよい。また電気光学効果をもつPLZTのようなセラミック基板であってもよい。さらに、接地やシールド、発熱部の冷却などを確実にするためのアルミ板のような金属板であってもよい。上記のような基板に凹部の形状を形成し、凹部の底面に配線領域が到達し、凹部の斜面に必要に応じて絶縁膜を介して配線領域で連絡されて、凹部のある基板の一方の主表面にある配線部へ連絡されている。凹部の底面と反対側の基板の主表面部にも配線用の薄膜パターンがある。凹部側にある配線の所定の信号は凹部のうすくなっている部分の一部の信号伝達手段によってもう一方の裏側の配線領域に伝達される。この信号伝達手段を構成する部材は結晶性の半導体では困難であり、例えば、製作の容易さから例をあげると、周囲が絶縁膜でアイソレートされたポリSi等を用いることが出来る。また、その他の低抵抗性部材や極低抵抗特性をもつ配線部材であってもよい。さら

上記のように、本発明は、3次元デバイスとしての長所とO-E・ICデバイスとしての長所を有しているので、前記のごとき従来の3次元デバイスと3次元デバイスによる集積回路の問題点を解決することが出来ると同時に、3次元O-Eデバイスや3次元O-Eデバイスによる集積回路などに新しい応用と超小形化をもたらすことが可能となる。

(実施例)

第1図は、本発明の1実施例の概略を示す断面図であり、O-E機能をもつ基板融着型3次元デバイスの一部を示している。

この実施例においては、Si ICを含む基板101と102とが配線の接続を上下基板間で確保されながら融着されている。

まず、半導体基板101(例えばSi基板)はSOI構成をもっている。すなわち、半導体基板101には厚いSi部1があり、SOIの表面にはフィールド絶縁膜2がある。この半導体基板101の厚いSi部1に基板裏面からSOI構造の

に、AC信号であれば絶縁膜による容量結合でもよい。ただし、このような場合、配線間や信号伝達手段の電位設定の相互独立性が要求される。これらは上記基板に各種の絶縁膜を密着させた構造がのぞましい。

構成の製作上の困難さがある点では、金属性基板において最も注意を要する。例えば、アルミ金属板の場合は、陽極酸化のような絶縁膜形成法を援用することによって前記の構成に必要とされるアイソレーション構造と配線構造、信号伝達構造等を製作することができる。

また、前記従来技術で述べた平面構成のO-E・ICの問題点も、本発明においては、光デバイスと半導体デバイスとに対して、それぞれを適当な基板に配置、設定することができるので、製作上の困難点を避けることができる。

また、上記の各種の部品の3次元空間上で積層構成による構成が可能となるので、O-E電子システムの小形化、IC化が容易になるという利点がある。

1層へ達するエッチ穴22、55および56がけられている。このエッチ穴22、55、56は深い穴であるが、半導体圧力センサなどの技術分野でこのような深い穴は形成されている。このエッチ穴22、55、56は前記凹部を構成するものであり、このエッチ穴22、55、56の周囲は絶縁膜3で保護されている。

また、半導体基板101の中央付近から右側部分には電子回路が形成されている。すなわち、SOIの薄膜Si結晶層4の左右にそれぞれMOSトランジスタが配置されている。第1図においては、右のMOSトランジスタ(n^+ ソース8、 n^+ ドレイン9、 SiO_2 膜10、 $Si n^+$ ゲート11等で構成)のゲート11用の配線は、配線部材12A、12Bおよび低抵抗配線部材6を介してエッチ穴22の裏面へ接続されている。すなわち、ポリSiなどの低抵抗配線部材6は、別の絶縁膜5で電気的に分離され、SOIの上部Si層を貫通してエッチ穴22の裏面に設けられた配線7Aに接続されている。これによって基板の主表面側

と裏面側の配線が接続される。

また、左側のMOSトランジスタは、 n^+ ソース15、ドレイン部16、ゲート18、ソース用電極19、ドレイン用電極20等で形成されている。上記のドレイン部16は、基板裏面側（凹部の底面）まで貫通されている。これは深い n^+ 拡散層または n^+ ポリSi層を薄い p 型のSi層13の中にうめ込むことによって可能になる。また、基板裏面のエッチ穴22中には裏面の厚いSi板の表面に連する配線21A、21Bがある。

このような深いエッチ穴22の斜面の部分の電極のパターンニングは、通常の方法では高低がありすぎて困難であるが、平行性のよいレーザ光束やその他光源とマスクによってフォトリソをパターンニングすることは可能である。その他、近年発表されているレーザ光その他のビーム技術をもちいた直接エッチ法や直接デポジションなども採用できる。

次に、上記半導体基板101の左側の部分に、本発明のもう一つの特徴である光学作用を利用す

へのコンタクト30、 p^+ ソース部31、 p チャネルMOSトランジスタのドレイン32、 n チャネルMOSトランジスタのドレイン33、 n^+ ソース34、Siゲート35、36、薄いゲート用絶縁膜37、38、層間絶縁膜39、 V_{DD} 電極40、 V_{SS} 電極41、CMOS出力用電極42、CMOSゲート入力用電極43A等が通常の方法で形成されている。

この下部の半導体基板102の左側の部分には本発明のもう一つの特徴である微小光学部品502が配置されている。この部分は光束を通過させる目的で厚いSi部分がI層2'へ到達するまでエッチされて凹部を形成している。

この部分を光収束作用をもつFZP（フレネルゾーン・プレート）にする場合には、まず絶縁膜の上に別の絶縁膜などの透明膜48を形成し、さらにその上に電子ビーム露光などによってフレネルリングをフォトリソ49Aまたはそれによって形状が転写される透明物質膜49B（SiO₂膜、Ta₂O₅膜等）で形成する。なお、電子ビー

ム電子手段である部品501が形成されている。この実施例においては、この部分に光束検知デバイスを設けた場合を例示している。すなわち、SOIの絶縁膜14の上にドーパされた絶縁膜23がある。これはPSGのようなものでもよい。その上にSOIの薄いSi結晶層が各種の技術で形成され得る。薄いSi層部の最下層は n^+ 層24がPSGなどからリン元素が拡散されることによって形成される。さらに薄い n 層25、 p^+ 層26が形成されている。場合によっては絶縁層27を一部に設けてもよい。それらによって形成された p^+n ダイオードには電極28Aと28Bが設けられ、逆バイアス接合によって光束を検知する。

次に、前記半導体基板101の下部にはもう1つの半導体基板102（例えばSi基板）が設けられている。この下部基板102の右側部分にはCMOSインバータを含むICが配置されている。すなわち、ウェル17があり、このウェルへのコンタクト29が設けられている。また、 n 基板

ムを円形に描画することは電子ビームを駆動する制御系にある計算機にソフトウェアを設定することによって可能となる。また、最近では電子ビームの露光時間や露光回数を円周にそって制御することによって、ノコギリ波または擬似ノコギリ波を持ち、理想的な光学的位相シフトを起すブレース波形を持つFZPも電子ビーム描画技術を用いて形成されている。

上記のように、FZPの技術によって焦点距離 f_1 を持ったレンズとほぼ似たような収束作用を成る波長でもつFZPも製作可能となっている。

なお、FZPは光学部品の一例として挙げたものであり、他の光学部品でもよい。

次に、上記の2つの半導体基板101と102とを配線の接続を含めて相互に融着し、3次元積層構造とする方法について説明する。

上記のように半導体基板をこの融着方法としては、例えば「インターナショナル エレクトロニクス・ミーティング テクニカル ダイジェスト (International Electron Devices Meeting

Technical Digest, 1984, p816 M.Yasumoto 他、
「Promising new fabrication process developed
for stacked LSI's」に記載されている方法が
ある。

本実施例においては、上記文献記載の方法とほ
ぼ同様の融着方法を用いる場合を例示する。

この方法においては、まず、A₂電極の上に2
層のAu/Ti層を形成する。次に、上記のAu
/Ti層の電極と同一の高さまでポリイミド層で
コートし、プラズマO₂でエッチングした後、A
u/Ti電極を露出させ、平坦化も同時に行う。
このような電極構成を第1図の上部の半導体基板
101の裏面と下部の半導体基板102の主表面
とに作り込んでおく。そして上記の2つの基板を
所望の位置にアラインし、熱圧着法で融着する。

以下、詳細に説明する。

上部の半導体基板101の裏面の電極21Bと
下部の半導体基板102のゲートアルミ電極43
Aとを融着する場合、まず、上部の半導体基板1
01のA₂電極21Bの上にポリイミド層44と

レベルを一致させたAu合金層46Uを形成し、
同様に下部の半導体基板102のゲート電極43
A上にもポリイミド層45とレベルを一致させた
Au合金層46Lを形成する。他の場所でも上部
の基板と下部の基板とを、例えば電極7Bと電極
43Bの部分で融着するときは、Au合金層47
Uと47Lを形成して熱圧着すればよい。上記と
同様のことは、微小光学部品のある第1図の左側
部分でも可能であって、上部の基板101のアル
ミ配線50とその上のAu合金層52、下部の基
板102のアルミ配線51とその上のAu合金層
53においても、前記右側の部分と同時に位置合
せして熱圧着することが出来る。このような熱圧
着による融着は所望の個所に設定できるので、任
意の強さの機械的接着強度を設計することができ
る。

上記のような積層基板による3次元積層構成に
おいて、ストレスの緩和は、複数の基板に設定さ
れた凹部（エッチ穴22、55、56等）によっ
て基板が薄くなっている部位の配置や高分子材料

であるポリイミドの物性によって可能となり、積
層基板の各基板での歪による不具合を防止するこ
とができる。

なお、上記の2つの基板に配置された電極間の
融着法は一例であって、本発明のデバイス構成が
この融着方法に限定されるものでないことは明ら
かである。

次に、第1図に示した微小光学部品の作用につ
いて説明する。

光学部品を配設した部位においては、厚い半導
体基板部はエッチ穴55、56によって除去され
ている。エッチ穴の周辺は、上部の基板101で
は絶縁膜3、下部の基板102では絶縁膜54に
よってパッシベーションされている。

上記の構成において、平行光束57が下部の基
板102の下部から入射されている場合を考える。

光束57はFZP49によって収束され、例え
ば光束58A、光束58Bとなって上部の基板1
01の光学部品の部位に到達する。光束58Aは
例えばPN接合光検知器501によって光検知さ

れる。一方、光束58BはSOIの絶縁膜14
（この部分は光学窓を形成している）をほとんど
減衰せずに通過し、上部の基板101の上方に伝
播する。もし上部の基板101の上に更に別の基
板が上記と類似の方法で融着されていれば、その
基板にも光束の作用を伝達させることができる。

なお、第1図の実施例では、光学部品のある部
分は、それほど高集積素子を含む必要はないが、
一般的には、このようなO-E機能をもつ一般応
用例として、C、C、Dやその他の半導体画像
（またはパターン）検知デバイスでもあってもよ
い。また、そのような場合の方が3次元O-E機
能デバイスによるパターン認識、画像転写、画像
記憶電子カメラ、などに有効に利用できる。

また、本発明の構成においては、上部と下部の
基板の接着方法や融着方法は特に限定するもので
はなく、他の接着方法や融着方法を用いてもよい。

本発明の基本的な構成の1要素は、第1図の7
B-7A-6-12B-12Aの経路に示すよう
に、低抵抗オーミック領域6による凹部を介した

基板主表面と裏面との接続手段にある。また別の手段としては同一の凹部を利用して3端子以上の能動端子をもつ能動デバイス(第1図の例では、ソース15、ドレイン16、ゲート18をもつMOSトランジスタ)の1つの能動端子(第1図ではドレイン)を介して、基板主表面と裏面とをスイッチ機構を含ませた形式で連結することも可能である。

上記のような本発明の構成に基づく基板主表面と裏面との結合手段の多様性は、複数の基板を積層して形成され、その一部に半導体基板を含む構成からなる3次元デバイスを設計するときに有効に利用することが出来る。

次に、第2図は、1つの凹部に2つ以上の電極配線を設けた場合の構成を示す実施例図である。なお、第2図においては、前記第1図の上部の基板101と類似の構造を上下反転した状態で示したものであり、(A)及び(B)は断面図、(C)は斜視図を示す。

まず、第2図(A)は、半導体基板60に、凹

部22がチャネル状に形成されている状態を示す。

また、第2図(B)は、電極が凹部から引き出されている状態を示し、凹部22のある裏面の絶縁膜62、主表面にある絶縁膜63、低抵抗オーミック領域64を分離するための絶縁膜61、裏面電極のコンタクト部65A、裏面電極の引き出し部65B、主表面電極のコンタクト部66A、主表面電極の引き出し部66B等が設けられている。

また、第2図(C)は、上記のごとき構造が1つの凹所に2個ある場合を示す。

この場合には、2つの電極65A-65Bと65A'-65B'との場合を示しているが、凹部の中で電気的分離ができていれば、電極の数を増加することができる。

また、第2図においては、低抵抗オーミック領域64を周囲から分離する手段として、絶縁膜61による分離を用いたが、周囲の電圧分布を適宜選択して設計すれば、n+p接合の逆バイアス分離も利用できないことではない。

また、前記第1図の実施例で示したように、MOSトランジスタのドレイン出力のような能動デバイスの端子が露在していてもかまわない。要点は基板裏面に設けた凹部の底面のコンタクト端子で相互の端子にかかる電圧が独自設定できる構成条件、バイアス条件を満たしていればよいことになる。

次に、第3図は、1つの基板内に複数の凹部があり、かつその凹部の中に前に述べたような複数の凹部裏面端子がある場合の実施例図であり、基板裏面から見た平面図を示す。

第3図において、各凹部A、B、C、Dには8×2個のコンタクト端子68が設けられている。この構成によれば16ビットの信号の転送を基板主表面と裏面との間で行なうことができる。

また、第3図の例では、16ビットの端子をもつ凹部が4個ある。このうち、例えば凹部Aはすべて低抵抗オーミック領域による結合であってもよい。また、例えば凹部Bは全てMOSトランジスタのドレイン端子のような能動デバイスの1端

子で構成してもよい。

また、複数の基板で上下の信号の授受を考える場合、第1図の実施例で考えたように上部基板から下部基板へ行く信号の流れと、下部基板から上部基板へ行く信号の流れとがある。したがって、第3図の凹部C、Dを、これらの信号の流れを各々分担して伝送する凹部としてもよい。

第3図のごとき基板を複数枚重ねた場合も考えられる。このように複数の基板を積層して用いる場合は、相互に接する基板の凹部同士の重ならないように、ずらした位置に設定してもよい。

積層構成でもって第3図のようなエッチチャンネル・スイッチ・コネクタの2×8ビットをA、B、C、Dのように構成すれば、32ビットの下向き信号(上部基板から下部基板への信号)と32ビットの上向き信号(下部基板から上部基板への信号)とを同時に並列処理することができ、3次元積層デバイスの特徴を有効に活用することが出来る。

本発明の半導体装置は、上記のごとき複数の基

板を蝕食させて3次元デバイスを形成する場合に有効である。

また、これまで述べた実施例においては、半導体基板としてSi基板及びSOI基板を用いた場合を例示したが、Si on Glass基板やSO S (Si on Sapphire) 基板の場合でも、Si層の部分を利用して本発明の構成を形成することができる。また、Glass基板、Sapphire基板もエッチング、RIEなどによって基板の裏面に穴を設けてSi層まで凹部をあけることができる。

また、SOI (Si-SiO₂-Si) 基板の場合を第1図に示したが、更にSi on Si on Si基板のように、すでにレーザアニールなどの手法でモノリシック3層(場合によってn層)3次元デバイスになっているものでも本発明の構成を適用することができる。

上記の構造の場合、n層のモノリシック多層3次元デバイスで最下部の基板が厚い場合は、その最下部の基板の裏面をエッチングして凹部を形成することができるから、本発明の特徴を備えた半

方法を適用することが出来る。

上記の方法を適用する場合における絶縁膜としては、例えば、アルミニウム金属板の場合は、陽極酸化法などでアルミナの絶縁膜を所望の厚さに形成することが出来る。この方法では1~20 μmのアルミナの絶縁膜を形成することが出来る。また、電気的絶縁や浮遊容量の減少のために、更に高分子絶縁層をついたり、その上に更に金属配線層を形成したりする場合がある。

上記のような場合でも、基本的構成は前記第2図のような基板構成を適用することが出来る。すなわち、第2図において、Si基板がAl基板に代わったと考えればよい。この場合、熱の放散や電気的絶縁で信頼性を確保するためには、絶縁膜62、63はSiICの絶縁膜に比べて1~20倍程度の厚さになってもよい。

また、絶縁膜は1層でなく2種類の絶縁膜を重ねてもよい。

また、基板裏面から凹部の底面にいたる配線部材の複数個の形成法も第2図と同じように設定す

る。従って、本発明の記載における半導体基板とは上記に述べたような全ての場合の半導体層を含んだ基板ということでも広義に定義することができる。

また、後述するように、3次元デバイスを構成する構成要素として、積層された複数の基板のうちで半導体層を含まない基板も必要となる場合がある。

これらは既にのべたようにPLZT基板のようなセラミック基板、あるいはシールドや熱放散のため金属板であってもよい。また薄膜技術ではセラミックによるC、Rによる積層構成も発表されている。これらの半導体層を含まない基板にあっても基板の垂直方向への配線の接続は必要となる。

例えば、金属性基板であっても3次元デバイスの積層基板の1つの要素として使用するときには、基板の主表面から裏側へ、あるいは裏面から主表面への垂直方向の信号の伝達が行われることが有用である場合がある。そのような場合にも前記のごとき本発明の基板主表面と裏面との信号の伝達

することができる。

また、基板の凹の底面と対向する主表面にも金属配線層を形成できる。

また、基板うら面から基板主表面の金属配線領域へ信号を伝える信号伝達手段64は、ポリSi層などの低抵抗体でもよいし、低抵抗配線部材であるn⁺(又はp⁺)ポリSi層やMo、W、Taのような高融点配線材でもよい。

また、上記の信号伝達手段64を基板の金属の電位とアイソレートするためには、分離用絶縁膜61は十分厚いことが必要である。この絶縁膜としてはAlの陽極酸化によるAl₂O₃膜などを有効利用できる。

また、上記の構成を第2図にのべた構成に類似の構造でAl基板について形成すれば、金属基板においても多数のスルーホールを設定できる。

上記のスルーホールは、IC技術を活用できるので、従来のスルーホールの個々の大きさと比べて微細化、高精密化が可能であり、そのため3次元VLSIのような高集積微細化3次元デバイス

の基板の垂直方向の信号の伝送に利用できるもので、並列信号処理デバイスの大容量化における問題点(接地、シールド、熱放散)の解決に有効である。

また、上記の技術思想はその他のデバイスにも有効利用できるが、3次元デバイスの構成から考えると、積層基板3次元デバイスの実装法やインプット端子、アウトプット端子の設定の方法にも活用することが出来る。

以上、第2図の構成を金属性基板へ適用する場合の構成上の要点をのべた。

このような考え方はPLZTのようなセラミック基板や厚膜技術におけるC素子R素子を含む基板にも適用できる。これらの基板は、金属性基板に比べれば、基板本体のバルク材と基板の表面、裏面、凹部にある配線部材との電位の独立性は保ちやすい。したがって第2図における絶縁膜62、61、63は金属性基板に比べれば薄くてもよい。

また基板の本体のバルク材と配線とのリークも少く設定できる。

また、第2図に示したような基板裏面の凹部の

底面から表面へ信号を伝達する手段64として能動デバイスを利用することは、半導体基板以外では困難であるが、プロセスの複雑さ及びコストの上昇を犠牲条件とすれば、Siその他の半導体による結晶層を設定することは原理的には可能である。例えば、Si膜on絶縁膜onセラミック基板やSi膜on絶縁膜on金属性基板もレーザアニールなどのSOI技術を利用して、Si結晶層を形成することができる。そしてこのSi結晶層へ絶縁ゲートFETやバイポーラデバイスを構成することも可能である。したがって上記の信号伝達手段は3端子半導体デバイスを利用することもあり得る。

また、これまで述べたようなSi基板以外の基板を積層した場合には、基板間の熱膨張係数の相違による各構成基板へのストレスの悪影響も考慮する必要がある。

熱放散による悪影響は金属性基板や熱伝導のよい基板を用いることによって回避できるので、良い効果をあたえることも可能である。

上記のように、異種材質の基板を含めて積層3次元デバイスを構成する場合には、応力、歪、温度変化などによる信頼性構造の点から更にこれらの構成を総合設計し、所望の3次元デバイスの最適化を図る必要がある。

なお、上記のような総合設計において、異種基板が混入したことによる3次元デバイスの動作、信頼性における困難点が除去できない場合は、そのような構成は不適当なものであり、3次元デバイスの実用化という点からは避けるべきである。

また、3次元デバイスを構成する各基板に発生する応力、歪、温度変化に対応する機械的結合強度などの耐久性、信頼性を確保するためには、各基板とそれに結合される配線部材に或る程度の可撓性を持たせるとよい。例えば、リード線的に空間に浮いた状態で配置することが可能であるビームリード技術で配線領域を形成し、本発明による上部基板と下部基板との間の結合法を上部基板と下部基板に設置されているビームリード領域で相互に結合するように構成すれば、これらの配線の

結合には機械的にフレキシビリティがあり、各基板に発生する応力、歪とその温度変化に対して上記の可撓性も含めた安定構造によって柔軟に対応できる。

次に、第4図は本発明の第2の実施例図であり、微小光学部品として受動光学部品を用いた場合の断面図を示す。

本実施例においては、一例としてSiSOI基板について説明する。Si基板を例として用いているのは熱膨張係数などが積層基板の間でちがわない方が3次元デバイスの信頼性構造上のぞまじいからである。

まず、第4図(a)は、受動光学部品としてマイクロレンズアレーを用いた例を示している。マイクロレンズをつくる方法はいくつか報告されているが、図示のごとく、凹レンズ(または凸レンズ)110となるようにイオンビーム、電子ビームなどで微細加工する。またはフォトリソのレンズ状プロファイルを転写する方法もある。あるいは或る種の不純物をドーピングすることによって

その物質の屈折率を Δn 増加させる等の方法によってレンズ状の屈折率分布を作ってもよい。さらには、特殊なマスクを介してスパッタリングすることにより、より大きな屈折率の物質をレンズ状にデポジットする等の方法もある。

上記のようにして形成したレンズアレーの左側に、SOI基板の主面にMOSトランジスタが配置されている。その能動デバイスの1端子であるドレインは基板の裏側の配線領域へ凹部の斜面の配線を通して導通している。

次に、第4図(b)は、受動光学部品としてFZPのアレー111を用いた例を示している。

FZPの実施例については、前記第1図において既に述べたが、或る特定の設計された波長で焦点距離 f をもつレンズと同様の作用がある。

FZPの特徴は平面的な構造にやや近く、レンズのような大きな凹凸を必要としないことである。しかしながら第1図で説明したように、電子ビーム露光によるやや複雑な露光法が必要である。

なお、最近の報告では2つ以上のFZPを組み

合わせると波長依存性が弱くなり、或る帯域で光束の収束作用を持たせることも可能な場合もある。

次に、第4図(c)は、受動光学部品として光学フィルタアレー112を用いた場合を示している。

このような光学フィルタは、光学部品のハンドブックにその構造が示されている。すなわち、高い屈折率 n_h の膜と低い屈折率 n_l の膜とを交互に $1/4\lambda$ の光学長で繰り返すことなどによって狭帯域フィルタが得られる。この場合、SiのICプロセスとの整合性を考えると、低い屈折率 n_l の膜としては SiO_2 膜、高い屈折率 n_h の膜としては Ta_2O_5 膜、 Si_3N_4 膜などが考えられる。

次に、第5図は、本発明の第3の実施例図であり、(a)はSi基板上に形成された面発光半導体レーザアレーの断面図、(b)はSi基板上に形成された化合物半導体のヘテロ接合または超格子構成における光変調器アレーの断面図を示す。

Si基板へのGaAs層などの化合物半導体の単結晶層を形成する方法はいくつか知られている。

直接法としてはSi(100)面を(110)面方向へ数度ずらしてその上にGaAs層を単結晶成長させる方法も報告されている。また、SOI構成のように絶縁膜上に形成することも可能である。また、Si基板上に SiO_2 または Ta_2O_5 膜を形成し、その上にGe膜をSiと同様の方法でSOI膜のGe膜として形成することも可能である。Ge結晶膜の上には格子定数のミスフィットが少ないのでGaAs膜が結晶成長する。

以下、面発光半導体レーザの実施例について説明する。

第6図は、第5図(a)の半導体レーザ113の部分の拡大断面図である。なお、第6図は半導体レーザの一例であり、これが理想的な構造ということではない。

第6図において、Si基板71には凹部70が形成され、凹部70の斜面と底面は絶縁膜72で保護されている。また、Si基板71の主表面には SiO_2 膜73があり、更に Ta_2O_5 膜74が設置されている。また、GeのSOI膜75は、

Ta_2O_5 膜74の上に形成されている。また、GaAs n^+ 層76、GaAs n 層77、 n 型不純物をドーピングしたGaAlAs/AlAs対の多層反射層78、 n 型クラッド層79、活性層80、 p 型クラッド層81、 p 型不純物をドーピングしたGaAlAs/AlAs対の多層反射層82、およびキャップ層83を化合物半導体層の結晶成長法を用いて形成する。また、電極アイソレーション用絶縁膜84を形成したのち、上部Au/Cr電極85を形成する。下部の電極86はGaAs n^+ 層76の上に形成して端子電極を形成する。

面発光レーザを第6図のような構造に形成すればレーザ光は上部へも放射されるが、下部の絶縁膜73、74を介して下方へも放射される。そして下部のSi基板に凹部があれば、基板下方にも面発光レーザ光を放射させることができる。このような構成によってSi基板上の面発光レーザは上方および下方にそのレーザ光を放射させることができる。したがって、上記のような構造を本発

明の3次元O-E・I Cの一つの基板部に採用すれば、その作用・効果は各種の用途に対応させることができる。

第5図(a)は上記ような面発光レーザをアレー化したものである。

また、第5図(b)に示す装置は、上記とほぼ同様の化合物半導体ヘテロ多層結晶成長層をもちいて構成したレーザ光などの光変調器である。

面発光半導体レーザ自体も或る種の領域や電界分布設定下では、外部入射光束に対して変調効果を有する。更に独自のものとしては、ヘテロ接合およびそれによる超格子やPN接合の空乏層の電界の変位による屈折率変化などの電気光学効果による入射光束の内部変調素子も考えられる。

第5図(b)に示した光変調器114は、上記にのべたような化合物半導体による光変調器のアレーと考えてもよい。

次に、第7図は、本発明の第4の実施例図であり、簡単なO-E電子デバイスによるシステム例として3次元光中継器の断面図に示す。

る。

Si基板203には本発明の凹部92L、92Mなどが備えられ、基板相互間や表面と裏面との信号の伝達に利用される。この部分では、前記の入射した光信号が光検知器に入って電気信号に変換されると共に、Si基板203の中に構成されているSiのICで信号の増幅、整形等が行われる。

また、基板202は、前記第6図に示したようなSi IC基板上に化合物半導体レーザ93A、93B、93Cが形成されたものである。そして基板203の凹部92L、92Mと基板202の凹部94L、94Mなどを介して必要とする電気信号は基板202へも与えられる。

この基板203、基板202は、共にSi ICを含んでいるから電気信号の情報処理を行うことができる。これらの情報処理には信号の演算、記憶、比較、信号パルスの同期とタイミングの調整等が含まれてもよい。

更に高級な処理の場合としては、本発明の3次

元の実施例では、3本の光ファイバーF1、F2、F3の光信号の中継の場合を例示しているが、この数は本発明の特徴から考えてもっと多数でも可能である。例えば10×10本の光ファイバーのバンドルでも本発明の構造であれば対応できる。

第7図において、基板201は石英またはガラスにドーパントを凸レンズ状に導入して形成したマイクロレンズである。また、基板202はSi基板に前記第6図に示したような面発光レーザを導入したものである。また、基板203は光検知器を含むSi ICの基板である。また、基板204は基板201と同様な製法で構成されたマイクロレンズアレーである。

以下、説明の都合上、図面の下部から説明する。

まず、F1、F2、F3なる光ファイバーにより光信号が第7図の3次元デバイスの下部へ到達する。この各光ファイバーからの光束は、基板204のマイクロレンズ90A、90B、90Cなどによって集光され、基板203のSi部に構成された光検知器91A、91B、91Cへ入射す

る。元デバイスの優位性を示すものとして各種並列信号処理がある。これらの並列信号処理はノイマン型でないニューロ・コンピュータやファジー制御などへの適応もハードウェアとして考えられる。

上記のごとき必要な情報処理を基板202および基板203の3次元デバイスで処理したのち、面発光レーザによって光信号に変換し、再び光伝送の信号として外部の光ファイバーへ出力することができる。面発光レーザ93A、93B、93Cを駆動するためには論理ICに比べて大電流を必要とする。この大電流駆動回路またはパワーデバイスも基板202のSi ICの中に設定することができる。

面発光レーザ93A、93B、93Cをでた光束は、基板201に設けられたマイクロレンズ(96A、97A)、(96B、97B)、(96C、97C)を介して損失の少ない状態で上部の光ファイバーF1'、F2'、F3'に入射され、光ファイバー中の伝送モードとなる。

次に、第8図は、第7図における光中継器の構

成と機能をO-E・I C回路やシステムとして検討した1実施例図である。

第8図において、光ファイバーF1からの光信号は、マイクロレンズ204-LNIを含む基板204を通して基板203の光検知器120に入射する。この光検知器120はPINダイオードや場合によってはバイアス回路を別途設定したAPD(アバランシェフォトダイオード)等でもよい。また、光検知器120と電源電圧VDDを分圧する素子として抵抗121などが付加される。この図ではN型EDMOS122、123へ光検知器回路が接続されている。

明一時のパルスをもつ光束が光検知器120に照射されると、この光検知器の内部抵抗などのインピーダンスが減少し、ゲート電圧はV_{th}を超えてVDD側へ近づくため、NMOSのドライバートランジスタ122はオンする。NMOSTランジスタ122の負荷としてはデプレッション型NMOSTランジスタ123が接続されている。

トランジスタ122とトランジスタ123とに

129等)を示しているが、これらは単なる表示例であって、別の回路でもよい。また基板202にも上記と同様の意味でCMOSを含んだ処理回路例(例えば141、142、143、144、145、146、147などで適当に構成)を示している。

基板202の出力は、N型EDMOSのトランジスタ148、トランジスタ149からなるインバータ・バッファ回路を駆動する。次に、N型EDMOSのトランジスタ152とトランジスタ150との中間部に発光素子151(レーザダイオード、発光ダイオードなど)を設置し、発光素子151を光通信用に駆動して、光パルスを発生させる。発生した光パルスは基板201に設定されたマイクロレンズ201-LNIを通して光ファイバーF1'へ入射して、光伝播する。

上記の基板202は半導体レーザダイオードとSiCMOS、NMOSなどのSiデバイスなどを含んでいるが、この構成法は前記第5図で述べたような構成によってSi基板と化合物半導体デバ

よるN型EDMOSの出力は、ゲート部の光検知器に光束が入射する毎にオンになる。

この光信号は光ファイバーF1を介して各種の伝送方式で伝送されてくる。通常は2値変調でデジタル信号となっていることが多い。これらはNRZ(unipolar non return to zero)、RZ(upipolar return to zero)やmビットの信号を冗長をもたせたkビットの信号になおすCMI(coded mark inversion)などがある。

また、O-E・I Cの場合、光の入出力は電流の供給が必要であることが多いのでCMOSは必ずしも通していない。したがって第8図では光の入力、出力回路の部分はNMOSとし、また、電気信号のパルスになってからはCMOS回路で取り扱い易くなるので、そのように構成としている。

CMOSを含んだ信号処理回路はロジック回路やアナログ回路など含んでもよい。例えば、基板203のCMOSも含んだ処理回路として、ナンド回路、ノア回路、アンド回路、オア回路(123、124、125、126、127、128、

イスとを共存させることによって可能になる。

次に、第9図は、第8図と関連した実施例として、ICチップ間で光パルス信号の送受を行なう実施例を示す図である。

第9図において、基板201、202、203、204は前記第8図と同様または類似の構成と考えることができる。

第9図の装置においては、3次元デバイスの積層基板として、上記の他に基板601と基板602とがある。基板601はSi基板でもよいが、本発明の他の実施例で示したような四部による光学窓H1(例えば前記第1図において絶縁膜14の上に光検知器が形成されていない部分と同様な構成)などを備えている。なお、光学窓H1以外にもSi基板上にICなどのデバイスが入っていてももちろんよい。

また、基板602はSi基板のICの中に発光素子163が設定されている例が示されている。

この発光素子163は、トランジスタ161、162からなるN型EDMOSトランジスタで駆

動され、光パルスが発生する。この部分の構成は基板202における類似の部分と同じと考えてよい。

上記のように、第9図の場合は、半導体基板602からSi基板203へ光パルス信号で通信していることになる。

なお、図示を省略しているが、基板203または基板202のSiICの中にあるレーザダイオードから基板602にある光検知器に光パルスを導入して基板203で示したように光パルスを検知し、MOSICの入力とすることもできる。

また、基板間で光信号の授受を行なうときには、光パルスの通路には凹部による光学窓や別の基板にあるマイクロレンズを必要とする。このような3次元デバイスを構成する各基板間の光通信による信号の授受は、各回路間のアイソレーションが良好であり、ファンイン、フォンアウトもO-E・IC概念を導入できるので、電気的なICに比べて新しい機能と性能の向上をもたらす。例えば、3次元デバイスを構成する複数の各基板のうちに、

例えば3層と6層にマイクロプロセッサがある場合には、この2つのプロセッサ間の並列複数個所の光信号の送受にも利用できることになる。

なお、第8図や第9図に示した3次元積層基板O-E・ICの回路やシステムは、NMOS、CMOSなどで構成されている場合を例示したが、これらの回路は従来から報告されているように、その一部をバイポーラ回路で構成することもできる。

なお、第7、8、9図に示したような光中継器による信号の伝送等は、光通信、画像通信、コンピュータ間の高速通信などに利用される。

更に、O-E・ICとしてデバイス機能、性能向上、高集積化の目的を達成させるために、新しいデバイス構成を採用することもできる。例えば第8図または第9図の基板203に示した光検知器120、抵抗121およびMOSトランジスタ122を融合させたような表面電界効果トランジスタとして、VariDPiGFED (Variable Distribution of Potential Insulated Gate

Field Effect Devices) 型のテトロードやトランジスタを利用することができる。この素子にはゲート領域にG1、G2などの2個のゲート領域電極を持つので、ゲート領域のバイアス回路や駆動タイミングなどは独自の設計も必要とされる。

また、上記VariDPiGFEDのテトロードに同様のテトロードまたはMOSトランジスタを負荷としたインバータ回路など独自の基本設計が可能であるから、これらの新しい設計概念を有効に利用すれば、新しい形式による高機能、高集積のO-E・ICの構築や、3次元IC化の確立に道をひらくことになる。

一方、3次元積層基板集積回路は、例えば、従来技術の項で引用したJan Grinberg氏らの論文(IEEE Computer)に示されるように、平面構成ICの問題点を解決する回路・システム上の利点を多くもっている。

上記の文献では、メモリ(Memory)を有する基板、アキュムレータ(Accumulator)を有する基板、レプリケイタ(Replicator)面を持つ基

板、カウンタ(Counter)を有する基板、コンパレータ(Comparator)を有する基板、画像入力を含めた入力面を持つ基板、出力端子を多数持つ基板、これらの各要素デバイスを組合制御する回路システムを持つ基板などからなる3次元積層基板ICの概念が示されている。

また、同様に従来技術の項で引用した日経マイクロデバイスに記載の3次元デバイスにおいても多くの構成例やシステム応用例が示されている。

また、コンピュータのような大規模の集積回路を平面基板で構成しようとする、ノイマン型の場合、アキュムレータ(Accumulator)部とメモリ(Memory)部とでのデータの授受において、情報処理のシークエンスで処理速度に決滞部位が発生する。このことは情報を構成する各ビットを持つワード(Word)部のアドレスとも関連して、ボンノイマンボトルネック(Von Neuman bottle neck)などとも呼ばれている。このような問題点は、回路に並列処理を更に豊富に取り入れた新しい方式によって解決策が見出されつつあ

る。

上記のような新しい並列処理コンピュータや、非ノイマン式情報処理（ニューロ・コンピュータ、ファジィ・コンピュータ、A.I.処理等）には大量のメモリや大量の並列信号処理が要求される。

積層基板3次元デバイスは、上記のような電子装置の構築に強力なハードウェア上の利点とアーキテクチャの変更に伴うソフトウェア改修をもたらすことが予想されている。そして本発明の3次元積層基板O-E・ICは、上記の文献における3次元デバイスの設計概念に、新たにO-E・IC概念を付加し、集積回路の機能、性能を更に大幅に向上させたものといえる。特に、情報の中でも大容量の情報処理を伴う画像認識やパターン認識においては、本来光-電気の変換に伴うO-E・IC概念は非常に重要な構成要素となるので、本発明の3次元積層基板O-E・ICはこれらの情報処理に大幅の性能向上をもたらすといえる。

また、特殊な例としては、光信号がノイズや放電などの電磁環境に強いことから、そのような感

環境にある多数のセンサ、アクチエータの近傍に設置された電子回路の間の信号の通信として利用することが出来る。そのような環境下ではO-E・ICである本発明の3次元デバイスにおいても金属性基板によるシールド性の確保や、強力な接合電極の形成などの3次元デバイス構成を準備する必要がある。

なお、前記第7図の基板201、202、203、204を配線の接続法も含めて接着する方法については、十分注意する必要がある。すなわち、基板201および基板204はガラスまたは石英板であるから、Si基板とは熱膨張係数が異なる。したがって前記第1図でのべた接着法が適当かどうかは条件によって異なってくる。異種基板間の接着の困難性については既に説明したが、上記のような場合には、可撓性のある結合法が望ましい。例えば、ビームリードのような空中に浮いた配線部材およびそのような配線部材による結合などの適用も異種基板の場合は考慮してよい。このような異種基板間の配線結合の問題点が解決されれば、

第7図の面発光レーザの基板はGaAs基板から出発して形成することもできることになる。

次に、第10図は本発明の第5の実施例図である。

この実施例は、前記第7図における上部基板201と下部基板202との間にPLZTからなる電気光学効果をもつ基板301とプラスチックなどのポラライザ基板302とを設けたものである。

上記のPLZT板は透明電極間の電界や横方向の電極による電界によって複屈折などの電気光学作用があり、この板の透過前と透過後では偏光状態に差異が生じる。したがってポラライザ板302を'通って光ファイバF1'、F2'、F3'へ入射される光束は、偏光状態の制御と光量の強弱制御とを電気光学的に実現させることができる。また、このような電気光学板を利用すれば、光シャッタも可能となる。なお、第10図の(98A、99A)、(98B、99B)、(98B、99B)、(98C、99C)は電気光学素子のための透明電極である。

第10図の実施例は、異種基板の数が多いので、前記第7図までの実施例に比べて、製造と設計はより困難であり、前記のごとき異種基板の配線領域を含めた可撓性のある結合法がこの場合にも重要な役割をもつ。

〔発明の効果〕

以上説明してきたように、この発明によればその構成を次のようにしている。すなわち、板状の基板を少なくとも2層以上積みかさねて結合されている3次元デバイスにおいて、1つの層を形成する基板上の一部に微小光学部品があり、他の層を形成する基板の少なくとも一部に半導体デバイスが形成されている半導体層がある。また、複数の基板の間の電気的信号の伝達のために少なくとも2つの基板の間に配線領域を相互に接続する手段があり、さらに、上記の基板上の微小光学部品による光学的機能と前記のもう一層を形成する基板における半導体デバイスの機能とを前記の少なくとも2つの基板の間の配線領域を相互に接続する手段によって有機的に関連させることによって動作さ

せるようになっている。

また上記にのべた2つの基板の間に配線領域を相互に接続する手段は、少なくとも1つの基板の裏面には少なくとも1つの凹部が形成され、該凹部の底面すなわち基板の薄い部分を貫通して設けられたオーミック部材若しくは価動素子を介して基板の主表面と裏面とを電気的に接続する接続手段が設けられ、該接続手段を介して上部の基板と下部の基板との所定部分が電気的に接続されるような構造になっている。

上記のような本発明の構成により、次のごとき効果が得られる。

(1) 従来の3次元デバイスにおいては、基板の主表面と裏面とを電気的信号によって結合する手段が十分に開発されていなかったが、本発明によれば、3次元デバイスを構成する各基板は本発明の凹部に設けられた信号伝達手段によって、複数の信号ラインについて同時並行処理が可能となる。これによって基板に垂直方向の信号の伝達が大幅に容易になり、例えば32bitの上向き信

号や32bitの下向き信号を本発明の信号伝達手段を用いることによって達成できる。

本発明の3次元化された半導体装置においては、上記のような同時並行信号処理が可能であると同時に、3次元デバイスを構成する基板の少なくとも1つの中に微小光学部品がある構成となっている。このため、3次元構造をもった光学-電気IC(O-E・IC)も容易に構成できるという効果がある。

(2) 従来のO-E・ICは平面構造が多く、3次元的構成でその特徴がよく効果としてあらわれているものが少なかったが、本発明の3次元構造のO-E・ICでは、複数の基板をその積層構成の要素として取り入れているので、SiIC部、微小光学部材部、化合物半導体発光デバイスなどを必要に応じて個別の基板へも配置できるため、O-Eデバイスやシステムの構成が大幅に容易になる。例えば、画像のような光学情報をデジタル信号で表す場合は、信号量が膨大になるが、本発明のO-E 3次元デバイスにおいては大量の光

学情報を電気信号に変換したのちも、垂直方向の信号の流れの複数の、大量同時並行信号処理が可能なので、上記のような情報処理システムに高速で対応できる。このため、高度のパターン認識、ニューロ・コンピュータの信号処理、ファジー制御等の信号処理にもハードウェアとして利用することができる。

またノイマン型コンピュータであっても、大容量、並列処理3次元マイクロコンピュータ、並列信号処理機能を持つインテリジェント・センサ・デバイスなどへも有効に利用することが出来る。

本発明の持つ各種のコンセプトを適宜選択設定すれば、上記のノイマン型、非ノイマン型信号処理を問わず、パターンまたは画像による入力も可能であると共に、出力もパターンまたは画像として出力させることも出来る。このようなことは従来の集積回路の構成では不可能に近いことであって、本発明のO-E 3次元デバイスは、従来の概念でいえばシステムに相当するものを3次元集積デバイスにしたものと言える。したがって、従来の

システムにおけるワイヤ・ハーネスや実装基板等の部品を大幅に減らすことが可能になる、という利点もある。

また、本発明のO-E 3次元デバイスは、積層された複数の基板の最上面と最下面のどこの部分へも2次元的自由度をもって複数の光ファイバーまたはファイバーバンドルを設定することができる。これによって光通信の分野においても本発明の3次元デバイスは比較的大面積の平面的配置の構成によって光信号の並列処理を可能にすることが出来る、という効果が得られる。

4. 図面の簡単な説明

第1図は本発明の一実施例図であり、O-E・IC機能を持つ3次元デバイスによる集積化半導体装置の部分的断面図、第2図は1つの凹部に2つ以上の電極配線を設けた場合の構成を示す実施例図であり、(A)及び(B)は断面図、(C)は斜視図、第3図は1つの基板内に複数の凹部があり、かつその凹部の中に複数の凹部裏面端子がある場合の基板裏面から見た平面図、第4図は微

小光学部品として受動光学部品を用いた実施例の断面図、第5図は本発明の他の実施例図であり、

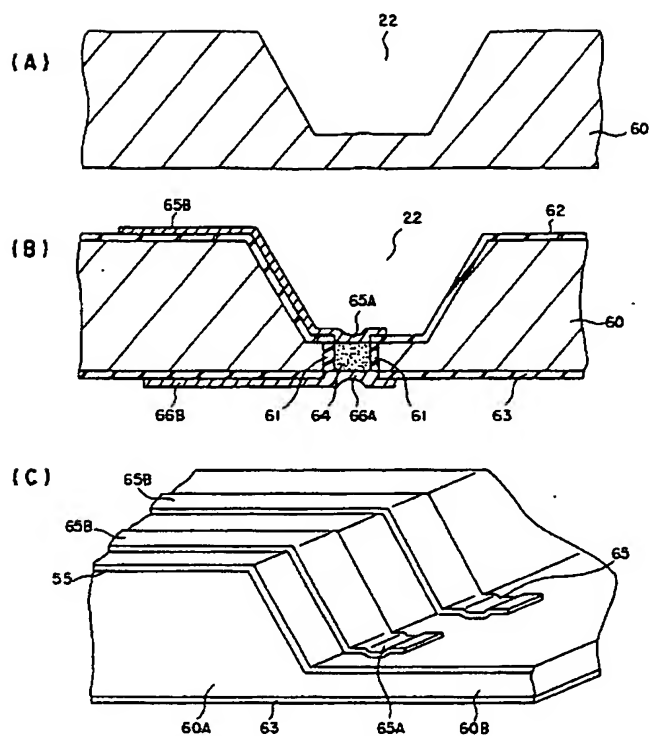
(a)はSi基板上に形成された面発光半導体レーザアレーの断面図、(b)はSi基板上に形成された化合物半導体のヘテロ接合または超格子構成における光変調器アレーの断面図、第6図は第5図(a)の半導体レーザの部分の拡大断面図、第7図は本発明の実施例として3次元光中継器を構成した場合の断面図、第8図は第7図における光中継器の構成と機能をO-E・IC回路やシステムとして示した実施例図、第9図はICチップ間で光パルス信号の送受を行なう装置の実施例図、第10図は第7図のデバイスの機能に更に偏光等の光束制御デバイスの基板を附加した実施例の部分的断面図である。

〈符号の説明〉

- 1…シリコンバルク基板部
- 2…フィールド酸化膜
- 3…裏面の凹部を覆う絶縁膜
- 4…SOI構成のSi膜
- 5…凹部を貫通するアイソレーション用絶縁膜
- 6…凹部にある低抵抗部材による信号伝達手段
- 7、7A、7B…裏面の凹部から斜面を通過して裏面の配線領域へ行く電極
- 8…ソース
- 9…ドレイン
- 10…薄いゲート用酸化膜
- 11…シリコンゲート
- 12…ゲート用配線電極
- 13…SOIのSi膜
- 14…SOIのI層
- 15…ソース
- 16…凹部の基板裏面へ貫通するドレイン部
- 17…pウェル領域
- 18…ゲート電極
- 19…ソース電極
- 20…ドレインの主要面の電極
- 21…凹部のドレイン裏面端子電極21Aと斜面を通過して裏面の配線領域へ到る電極膜
- 22…エッチ穴(凹部)
- 23…PSGなどのドーブ絶縁膜
- 24…n⁺のSOIのSi層
- 25…n型のSi層
- 26…p⁺の結晶層
- 27…絶縁層
- 28A、B…光検知器の2つの電極
- 29…pウェルコンタクトのp⁺領域
- 30…n基板のCMOS基板コンタクトn⁺領域
- 31…p⁺ソース
- 32…p⁺ドレイン
- 33…n⁺ドレイン
- 34…n⁺ソース
- 35、36…Siゲート
- 37、38…CMOSのゲート絶縁膜
- 39…層間絶縁膜
- 40…V_{DD}電極
- 41…V_{SS}電極
- 42…CMOS出力電極
- 43…CMOS入力ゲート電極
- 44、45…ポリイミド層
- 46U、47U…上部基板用Au合金2層電極
- 46L、47L…下部基板用Au合金2層電極
- 48…透明絶縁膜
- 49…FZPの位相シフト構造
- 50、51…アルミ電極
- 52、53…上部または下部基板用Au合金電極
- 54…下部の基板の裏面などの保護絶縁膜
- 55、56…エッチ穴
- 57、58…光束
- 101…上部の半導体基板
- 102…下部の半導体基板
- 501…光検知器部
- 502…FZP部分
- 60…基板のバルク部
- 61…凹部の貫通部のアイソレーション絶縁膜
- 62…裏面の絶縁膜
- 63…主要面の絶縁膜
- 64…低抵抗配線用部材
- 65A、B…裏面の配線用電極部材
- 68…裏面からみた凹部の端子電極群
- 70…面発光半導体レーザ用凹部
- 71…半導体バルク部
- 72…基板裏側の絶縁膜
- 73、74…半導体レーザ用SOI構造のための絶縁膜
- 201…マイクロレンズを含む基板
- 202…面発光レーザを持つ基板(信号伝達用の凹部を持つ)
- 203…光検知器を持つ基板(信号伝達用の凹部を持つ)
- 204…マイクロレンズを持つ基板
- 90A、B、C…マイクロレンズ

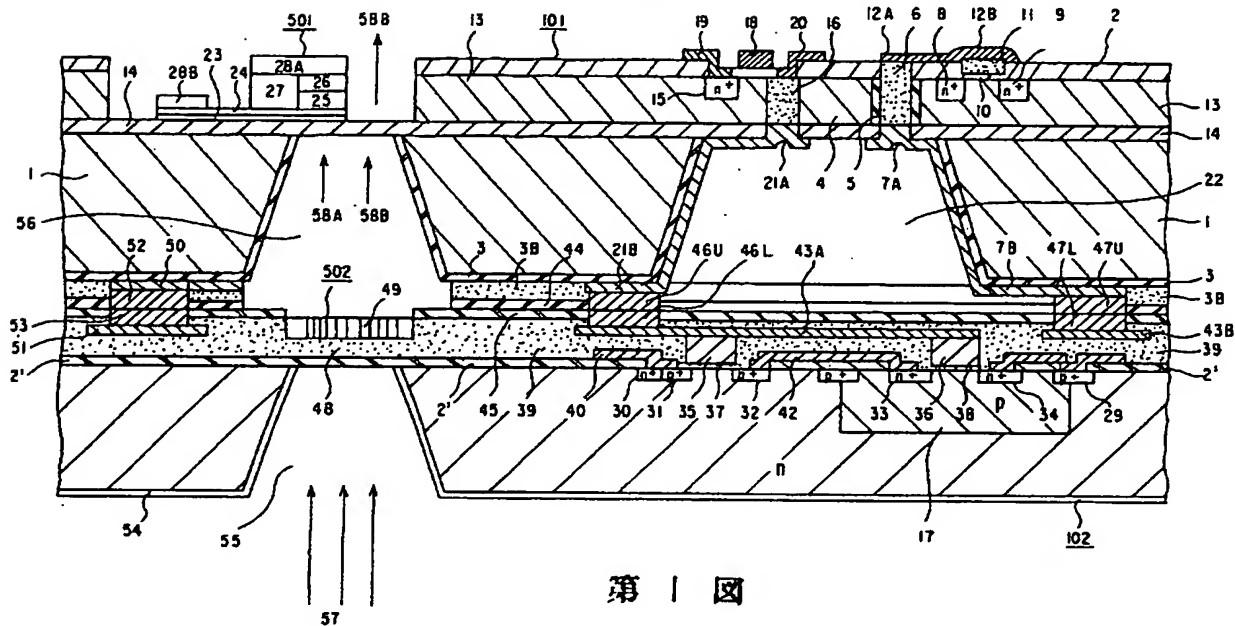
- 91A、B、C…光検知器
 92L、92M…凹部
 93A、B、C…面発光半導体レーザ
 94L、M…凹部
 96、97A、B、C…マイクロレンズ
 301…光束制御（偏光）デバイスを持つ基板
 302…ポラライザの板
 98、99A、B、C…光束制御デバイス用透明電極

代理人井理士 中村 純之助

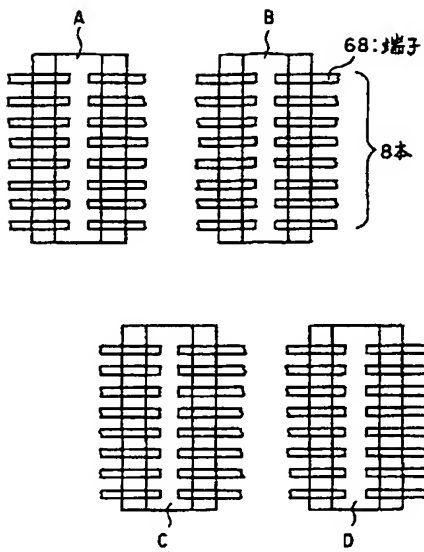


第 2 図

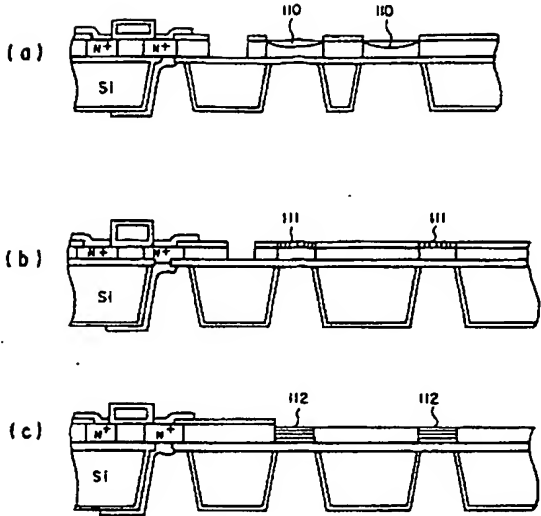
図面の浄書



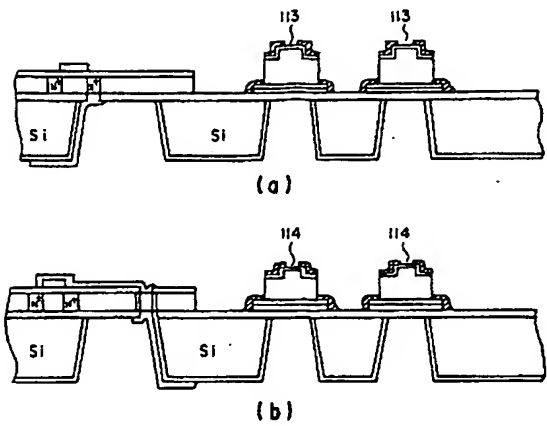
第 1 図



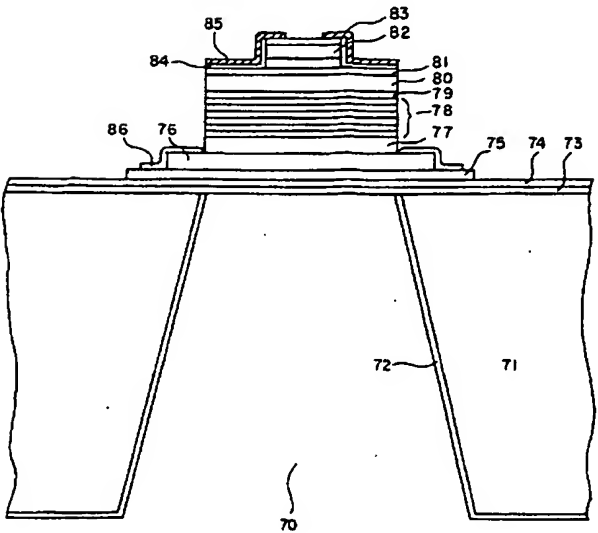
第 3 図



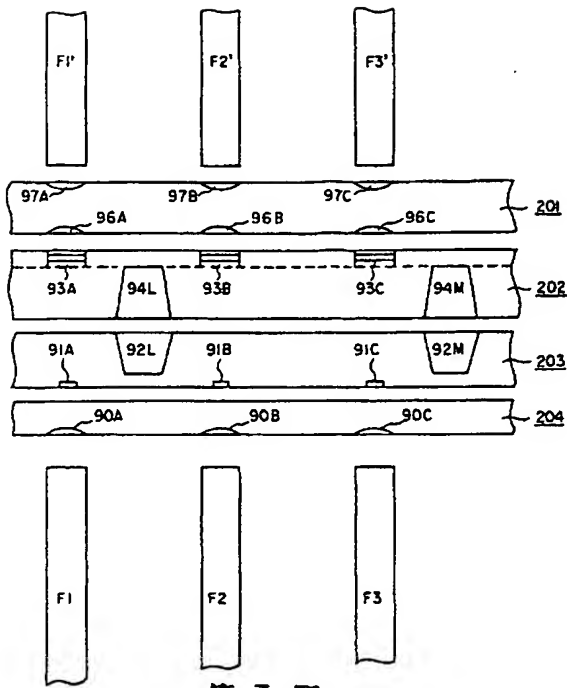
第 4 図



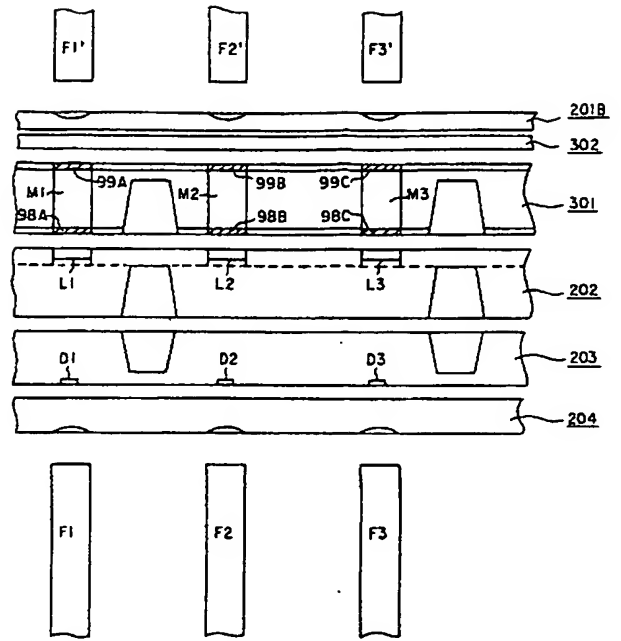
第 5 図



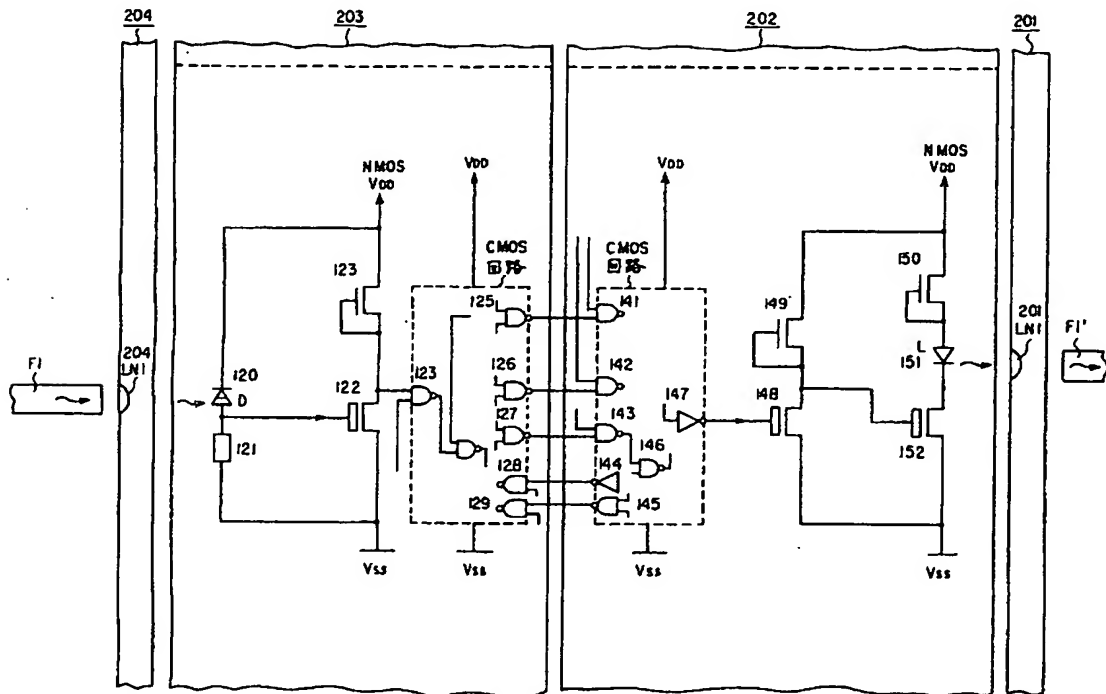
第 6 図



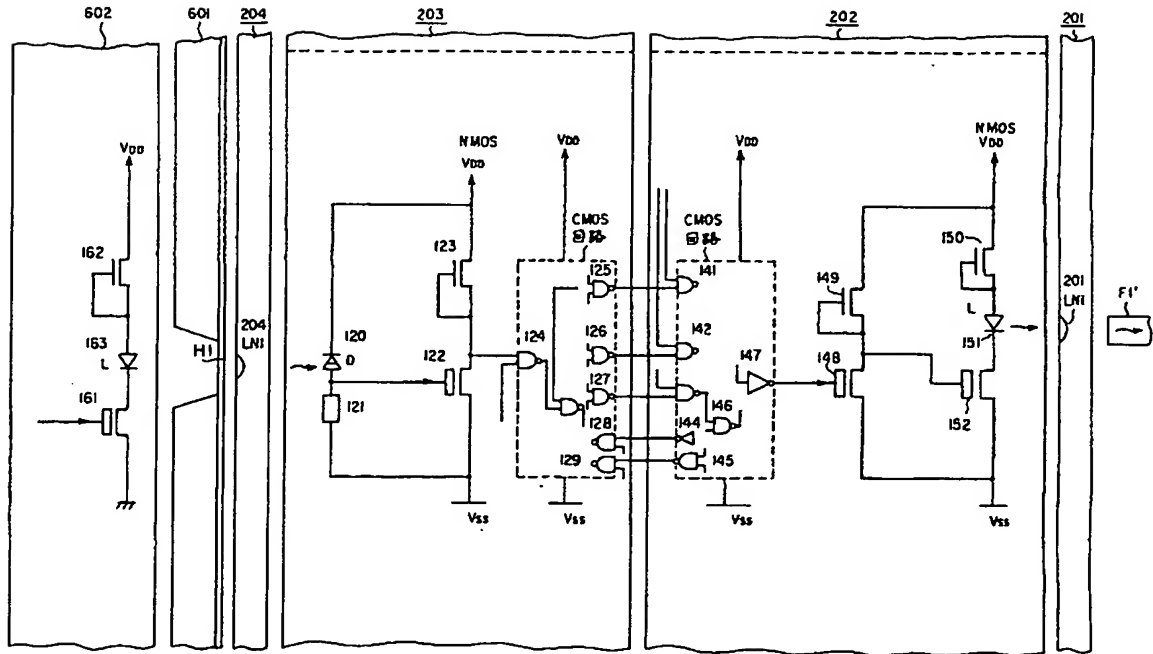
第 7 図



第 10 図



第 8 図



第 9 図

手 続 補 正 書 (自発)

平成 1 年 6 月 22 日

特許庁長官 殿

1. 事件の表示 平成 1 年特許願第 118810 号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係

特許出願人

名 称 (399) 日産自動車 株式会社

4. 代理人

住 所 (〒100) 東京都千代田区丸の内一丁目 5 番 1 号

新丸ノ内ビルディング 3 階 44 区 (電話 214-0502)

氏 名 (6835) 弁護士 中村 純之助

5. 補正の対象 明細書の発明の詳細な説明、図面の簡単な説明の各欄および図面

6. 補正の内容 添付別紙のとおり

補正の内容

1. 明細書第 41 頁第 7 行を「基板 202 の CMOS を含んだ回路の出力は、N 型 EDMOS のトラン」と補正する。

2. 明細書第 58 頁第 13 行の次に下記の文章を挿入する。

「110…レンズ 111…FZP

112…フィルタ 113…半導体レーザ

114…光変調器

120…光検知器 121…抵抗

123、124、125、126、127、

128、129…基板 203 の CMOS も含んだ回路

141、142、143、144、145、

146、147…基板 202 の CMOS も含んだ回路

148、149…N 型 EDMOS

151…発光素子

150、152…N 型 EDMOS

161、162…N 型 EDMOS



163…発光素子

201-LN1、204-LN1…マイクロレ
ンズ

601-H1…凹部の光学窓

3. 図面の第1図乃至第10図を添付別紙のと
おり補正する。なお、これらの図面は全て出願時
に添付した図面の浄書である。